

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-240811

(43)Date of publication of application : 17.09.1996

(51)Int.Cl. G02F 1/1343
G02F 1/136

(21)Application number : 08-052693

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 11.03.1996

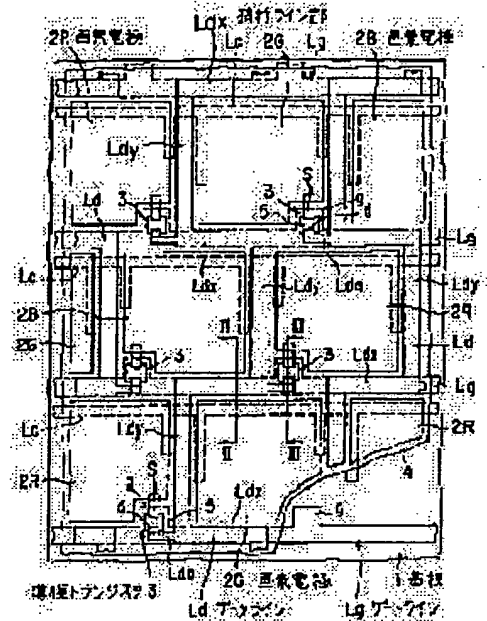
(72)Inventor : TERUHIRA JIYUNYA
OKIMOTO HIROYUKI

(54) THIN-FILM TRANSISTOR PANEL

(57)Abstract:

PURPOSE: To provide a TFT panel with which a good-quality color display is obtainable at all times without variation in the gradation of colors with the same color even if the characteristics of thin-film transistors(TFTs) are fluctuated by misalignment in production process.

CONSTITUTION: Projecting parts Lda from data lines Ld which are wired zigzag are projected and formed in parallel with gate lines Lg. The TFTs 3 are arranged so that drain electrodes (d) and source electrodes (s) line up in a direction orthogonal with the gate lines 1g. These projecting parts 1da and the drain electrodes (d) of the corresponding TFTs 3 are connected in such a manner that all the TFTs 3 are made uniform in the direction where the drain electrodes (d) and the source electrodes (s) line up.



LEGAL STATUS

[Date of request for examination] 11.03.1996

[Date of sending the examiner's decision of rejection] 19.08.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 09-15809

[Date of requesting appeal against examiner's decision of rejection] 18.09.1997

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-240811

(43) 公開日 平成8年(1996)9月17日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/1343			G 0 2 F 1/1343	1
1/136	5 0 0		1/136	1

審査請求 有 請求項の数 1 O L (全 7 頁)

(21) 出願番号 特願平8-52693
 (62) 分割の表示 特願平5-95064の分割
 (22) 出願日 平成5年(1993)3月31日

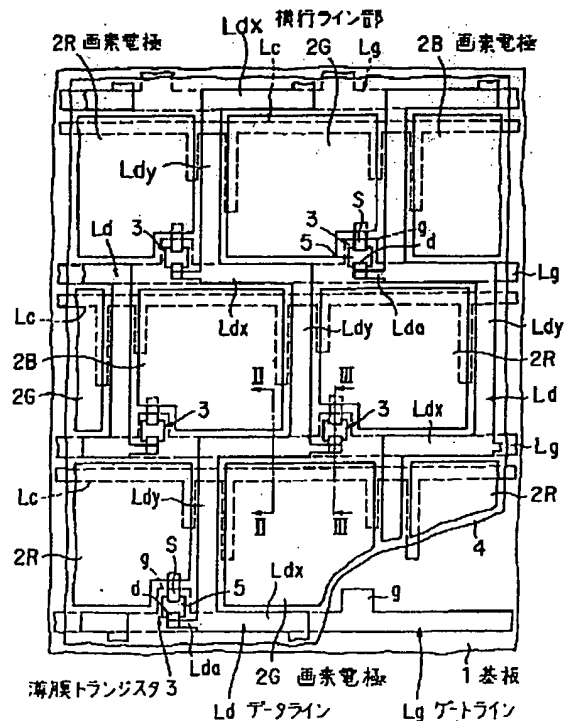
(71) 出願人 000001443
 カシオ計算機株式会社
 東京都新宿区西新宿2丁目6番1号
 (72) 発明者 輝平 淳也
 東京都八王子市石川町2951番地の5 カシ
 オ計算機株式会社八王子研究所内
 (72) 発明者 沖本 浩之
 東京都八王子市石川町2951番地の5 カシ
 オ計算機株式会社八王子研究所内

(54) 【発明の名称】 薄膜トランジスタパネル

(57) 【要約】

【課題】 製造工程におけるアライメントずれにより薄膜トランジスタの特性が変動しても色の階調が同じ色でばらつかず、良質のカラー表示が常に得られるTFTパネルを提供する。

【解決手段】 蛇行配線するデータラインLdから突出部LdaをゲートラインLgに平行に突出形成し、薄膜トランジスタ3をドレイン電極dとソース電極sがゲートラインLgと直交する方向並ぶように配置し、突出部Ldaと対応する薄膜トランジスタ3のドレイン電極dとを接続して、全ての薄膜トランジスタ3をドレイン電極dとソース電極sの並ぶ方向が一様になるようにする。



【特許請求の範囲】

【請求項1】 透明基板上に、複数の画素電極を行方向および列方向に配列した画素電極群と、ゲート電極上に半導体層を介しドレイン電極とソース電極を所定間隔を保ち並設して形成され、前記画素電極群の各画素電極に前記ソース電極を介して夫々接続された複数の薄膜トランジスタと、前記画素電極群の各画素電極行にそれぞれ対応させて配線され対応する前記薄膜トランジスタのゲート電極に接続されてゲート信号を供給する複数のゲートラインと、前記画素電極群の各画素電極列にそれぞれ対応させて配線され前記薄膜トランジスタにデータ信号を供給する複数のデータラインとを形成してなり、かつ、同じデータラインに対応する各画素電極を、各行ごとに一方向と他方向とに交互にずらしてジグザグに配列し、前記データラインを、ジグザグに配列している画素電極列に対応させて蛇行配線するとともに、各薄膜トランジスタをソース電極とドレイン電極の並設方向が前記列方向に沿うように配置し、データラインに前記行方向に沿って突出する複数個の突出部を各薄膜トランジスタに対応させて形成し、各突出部を介してデータラインと該データラインに対応する各画素電極に配設された各薄膜トランジスタのドレイン電極とを接続したことを特徴とする薄膜トランジスタパネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリックス液晶表示素子に用いられる薄膜トランジスタパネル（以下、TFTパネルという）に関するものである。

【0002】

【従来の技術】薄膜トランジスタ（TFT）を能動素子とするアクティブマトリックス液晶表示素子は、透明基板上に画素電極群と複数のゲートラインおよびデータラインと各画素電極にそれぞれ対応する複数の薄膜トランジスタとを設けたTFTパネルと、透明基板上に前記画素電極群に対向する対向電極を設けた対向パネルとの間に液晶を封入したもので、フルカラー画像等の多色カラー画像を表示する液晶表示素子では、対向パネルまたはTFTパネルに、各画素電極に対応させて赤、緑、青のカラーフィルタを設けている。

【0003】ところで、上記アクティブマトリックス液晶表示素子における画素の配列パターンには種々の方式があり、その一つの方式として、画素をモザイク状の配列パターンで表示するものがある。

【0004】この方式は、主に、多色カラーあるいはフルカラー画像を表示する液晶表示素子に採用されており、赤、緑、青の画素をモザイク状の配列パターンで表示する方式の液晶表示素子は、色混ざりの良いカラーを表現できるという利点をもっている。

【0005】上記赤、緑、青の画素をモザイク状の配列パターンで表示する方式のアクティブマトリックス液晶

表示素子に用いられるTFTパネルは、従来、次のような構成とされている。図4は従来のTFTパネルの一部分の平面図である。なお、このTFTパネルは、対向パネルに赤、緑、青のカラーフィルタを設けている液晶表示素子に用いられるものである。

【0006】このTFTパネルは、ガラス等からなる透明基板1の上に、複数の画素電極2R、2G、2Bを行方向（図において横方向）および列方向（図において縦方向）に配列した画素電極群と、この画素電極群の各画素電極にそれぞれ接続された複数の薄膜トランジスタ3と、前記画素電極群の各画素電極行にそれぞれ対応させて配線され前記薄膜トランジスタ3にゲート信号を供給する複数のゲートラインLgと、前記画素電極群の各画素電極列にそれぞれ対応させて配線され前記薄膜トランジスタ3にデータ信号を供給する複数のデータラインLdとを形成したものである。

【0007】まず、画素電極群について説明すると、この画素電極群の各画素電極2R、2G、2BはITO等の透明導電膜で形成されている。これら画素電極2R、2G、2Bのうち、2Rは赤色画素を表示するための画素電極（対向パネル側の赤色カラーフィルタが対応する電極）、2Gは緑色画素を表示するための画素電極（対向パネル側の緑色カラーフィルタが対応する電極）、2Bは青色画素を表示するための画素電極（対向パネル側の青色カラーフィルタが対応する電極）であり、これら画素電極2R、2G、2Bは、行方向（図において横方向）には交互に並べて直線状に配列され、列方向には、同色の画素を表示するための画素電極同士、つまり同じデータラインLdに対応する画素電極同士を、各行ごとに約1.5ピッチずつ一方向と他方向（図において左方向と右方向）とに交互にずらしてジグザグに配列されている。

【0008】また、上記画素電極群の各画素電極2R、2G、2Bにそれぞれ対応する薄膜トランジスタ3は、基板1上に形成したゲート電極gと、このゲート電極gを覆うSiN（窒化シリコン）等からなるゲート絶縁膜4と、このゲート絶縁膜4の上に前記ゲート電極gと対向させて形成されたa-Si（アモルファスシリコン）からなるi型半導体膜5と、このi型半導体膜5の上にn型不純物をドーブしたa-Siからなるn型半導体膜（図示せず）を介して形成されたソース電極sおよびドレイン電極dとで構成されている。

【0009】一方、上記画素電極群の各画素電極行にそれぞれ対応するゲートラインLgは、前記画素電極行に沿わせて基板1上に配線されており、各薄膜トランジスタ3のゲート電極gは、前記ゲートラインLgにその一側に張出させて一体に形成され、ソース電極sとドレイン電極dは、ゲートラインLgに沿う方向に配置されている。

【0010】また、上記薄膜トランジスタ3のゲート絶

縁膜4は、ゲートラインLgも覆って基板1のほぼ全面に形成されており、各画素電極2R、2G、2Bは前記ゲート絶縁膜4の上に形成され、その縁部において前記薄膜トランジスタ3のソース電極sに接続されている。

【0011】一方、上記画素電極群の同色の画素を表示するための各画素電極列にそれぞれ対応するデータラインLdは、上記ゲート絶縁膜4の上に形成したSiN等からなる層間絶縁膜（図示せず）の上に、ジグザグに配列している画素電極列に対応させて蛇行配線されており、このデータラインLdは、前記層間絶縁膜に設けたコンタクト孔において上記薄膜トランジスタ3のドレイン電極dに接続されている。

【0012】このデータラインLdの配線状態を、赤色画素を表示するための画素電極列に対応するデータラインについて説明すると、このデータラインLdは、ジグザグに配列している各画素電極2Rのうち、左方向にずれている画素電極2Rの右側縁と、右方向にずれている画素電極2Rの左側縁とに沿わせて蛇行配線されている。すなわち、このデータラインLdは、列方向に沿う縦行ライン部Ldyと、この縦行ライン部Ldyから行方向に沿って屈曲する横行ライン部Ldxとが交互に連続するように配線されている。

【0013】なお、データラインLdを、左方向にずれている画素電極2Rの右側縁と右方向にずれている画素電極2Rの左側縁とに沿わせて配線しているのは、行方向に沿う横行ライン部Ldxの長さを短くし、データラインLdの引き回しを簡単にするためである。

【0014】ただし、上記のようにデータラインLdを配線すると、左方向にずれている画素電極2Rに対応する薄膜トランジスタ3に対するデータラインLdの位置と、右方向にずれている画素電極2Rに対応する薄膜トランジスタ3に対するデータラインLdの位置とが互いに逆になってしまう。

【0015】そこで、このTFTパネルでは、左方向にずれている画素電極2Rに対応する薄膜トランジスタ3と、右方向にずれている画素電極2Rに対応する薄膜トランジスタ3とのソース、ドレイン電極s、dの位置関係を互いに逆にし、これら薄膜トランジスタ3のソース電極sに画素電極2Rを接続し、ドレイン電極dにデータラインLdを接続している。

【0016】上記データラインLdの配線状態は、緑色画素を表示するための画素電極列に対応するデータラインおよび青色画素を表示するための画素電極列に対応するデータラインにおいても同様であり、また、緑色画素を表示するための画素電極2Gに対応する薄膜トランジスタ3も、青色画素を表示するための画素電極2Bに対応する薄膜トランジスタ3も、左方向にずれている画素電極に対応するものと右方向にずれている画素電極に対応するものとでソース、ドレイン電極s・dの位置関係を互いに逆にして、そのソース電極sに画素電極2G、

2Bを接続し、ドレイン電極dにデータラインLdを接続している。

【0017】また、上記データラインLdの横行ライン部Ldxは、上記ゲートラインLgの上を避けてその側方に配線されており、各画素電極2R、2G、2Bは、その列間にデータラインLdの縦行ライン部Ldyの配線スペースを確保し、行間にデータラインLdの横行ライン部LdxとゲートラインLgとの2つの配線スペースを確保して配列されている。

【0018】また、図4において、Lcは、各画素電極2R、2G、2Bの電位を保持するための補償容量（ストレージキャパシタ）を構成するキャパシタラインであり、このキャパシタラインLcは、各画素電極行にそれぞれ対応させて配線されている。

【0019】このキャパシタラインLcは、基板1上に、各行の画素電極2R、2G、2Bの一端縁部（ゲートラインLgの配線側とは反対側の縁部）に対向させて配線されており、上記補償容量は、画素電極2R、2G、2Bと前記キャパシタラインLcとその間のゲート絶縁膜4とで構成されている。

【0020】なお、図4に示したTFTパネルでは、十分な容量値の補償容量を形成するため、キャパシタラインLcに画素電極2R、2G、2Bの両側縁部に対向する突出部を形成して、キャパシタラインLcと画素電極2R、2G、2Bとの対向面積を大きくしている。

【0021】また、上記キャパシタラインLcは、一般には薄膜トランジスタ3のゲート電極gおよびゲートラインLgと同じ不透明金属膜で形成されるが、このキャパシタラインLcはITO等の透明導電膜で形成されることもある。

【0022】

【発明が解決しようとする課題】しかしながら、上記従来のTFTパネルでは、データラインLdを、引き回しが可及的に短く簡単となるように、ジグザグに配列している各画素電極2Rのうち、左方向にずれている画素電極2Rの右側縁と、右方向にずれている画素電極2Rの左側縁とに沿わせて蛇行配線してある。そして、それら画素電極2Rに対応する各薄膜トランジスタ3を、ソース電極sとドレイン電極dとがゲートラインLgに沿う方向に並ぶように配置してある。従って、各薄膜トランジスタ3におけるソース電極sとドレイン電極dの配置が、対応する各画素電極2RがデータラインLdの縦行ラインLdyの左側に位置する場合と右側に位置する場合とで互いに逆になってしまう。このため、製造工程中においてゲートラインLgに沿う方向にアライメントずれが発生した場合、それに伴う薄膜トランジスタの特性変動が、同じ赤色の画素電極2Rに対応する左側薄膜トランジスタと右側薄膜トランジスタとで異なり、その結果、同じ赤色の画素でも階調が異なってしまう、画像品質が著しく低下する。

【0023】本発明は、同じデータラインに対応する各画素電極をジグザグに配列し、前記データラインをジグザグに配列している画素電極列に対応させて蛇行配線したものでありながら、製造工程におけるアライメントずれにより薄膜トランジスタの特性が変動しても色の階調が同じ色でばらつかず、良質のカラー表示が常に得られるTFTパネルを提供することを目的としたものである。

【0024】

【課題を解決するための手段】本発明のTFTパネルは、透明基板上に、複数の画素電極を行方向および列方向に配列した画素電極群と、ゲート電極上に半導体層を介しドレイン電極とソース電極を所定間隔を保ち並設して形成され、前記画素電極群の各画素電極に前記ソース電極を介して夫々接続された複数の薄膜トランジスタと、前記画素電極群の各画素電極行にそれぞれ対応させて配線され対応する前記薄膜トランジスタのゲート電極に接続されてゲート信号を供給する複数のゲートラインと、前記画素電極群の各画素電極列にそれぞれ対応させて配線され前記薄膜トランジスタにデータ信号を供給する複数のデータラインとを形成してなり、かつ、同じデータラインに対応する各画素電極を、各行ごとに一方向と他方向とに交互にずらしてジグザグに配列し、前記データラインを、ジグザグに配列している画素電極列に対応させて蛇行配線するとともに、各薄膜トランジスタをソース電極とドレイン電極の並設方向が前記列方向に沿うように配置し、データラインに前記行方向に沿って突出する複数個の突出部を各薄膜トランジスタに対応させて形成し、各突出部を介してデータラインと該データラインに対応する各画素電極に配設された各薄膜トランジスタのドレイン電極とを接続したことを特徴とするものである。

【0025】本発明のTFTパネルにおいては、薄膜トランジスタをソース電極とドレイン電極の並設方向が列方向に沿うように配置すると共に、データラインに行方向に沿って突出する突出部をこのデータラインに接続される各画素電極に対応させて形成し、この突出部を介して対応する画素電極に配設された各薄膜トランジスタのドレイン電極とデータラインとを接続したから、全ての薄膜トランジスタのドレイン電極dとソース電極sの配置を一樣に揃えることができ、これにより、製造工程においてアライメントずれが生じても、それによる薄膜トランジスタの特性変動が全ての薄膜トランジスタで一定となり、同じ表示色で階調が異なるような表示不良の発生が防止され、良質なカラー表示を常に容易に得ることが可能となる。

【0026】

【発明の実施の形態】以下、本発明の一実施例を、赤・緑・青の画素をモザイク状の配列パターンで表示する方式のアクティブマトリックス液晶表示素子に用いられる

TFTパネルについて図1～図3を参照し説明する。

【0027】図1はTFTパネルの一部分の平面図、図2は図1のII-II線に沿う拡大断面図、図3は図1のI-II-III線に沿う拡大断面図である。なお、図において、図4に示した従来のTFTパネルに対応するものには同符号を付し、従来のTFTパネルと同じ部分についてはその説明を省略する。

【0028】このTFTパネルは、基板1上に、複数の画素電極2R、2G、2Bを行方向および列方向に配列した画素電極群と、この画素電極群の各画素電極2R、2G、2Bにそれぞれ接続された複数の薄膜トランジスタ3と、前記画素電極群の各画素電極行にそれぞれ対応させて配線され前記薄膜トランジスタ3にゲート信号を供給する複数のゲートラインLgと、前記画素電極群の各画素電極列にそれぞれ対応させて配線され前記薄膜トランジスタ3にデータ信号を供給する複数のデータラインLdと、前記各画素電極2R、2G、2Bとの間に補償容量を形成するキャパシタラインLcとを形成したもので、各画素電極2R、2G、2Bは従来のTFTパネルと同様に、各行ごとに一方向と他方向とに1.5ピッチずつ交互にずらしてジグザグに配列され、またゲートラインLgとキャパシタラインLcも従来のTFTパネルと同様に配線されている。

【0029】一方、このTFTパネルでは、上記画素電極群の各画素電極2R、2G、2Bにそれぞれ対応する薄膜トランジスタ3を次のような構造とするとともに、ジグザグに配列している画素電極列に対応させて蛇行配線するデータラインLdを、その横行ライン部LdxをゲートラインLgと上下に対向させて配線している。

【0030】まず、上記薄膜トランジスタ3の構造を説明すると、この薄膜トランジスタ3は、図1および図3に示すように、上記ゲートラインLgにその一側に張出させて一体に形成されたゲート電極gと、このゲート電極gを覆うSiN等からなるゲート絶縁膜4と、このゲート絶縁膜4の上に前記ゲート電極gと対向させて形成されたa-Siからなるi型半導体膜5と、このi型半導体膜5の上にn型不純物をドーブしたa-Siからなるn型半導体膜6を介して形成されたソース電極sおよびドレイン電極dとで構成されている。

【0031】そして、このTFTパネルにおいては、上記薄膜トランジスタ3を、ソース電極sとドレイン電極dとを、従来のTFTパネルの薄膜トランジスタとは90°異なる向きに形成した構造としている。すなわち、図4に示した従来のTFTパネルでは、薄膜トランジスタ3を、ソース電極sとドレイン電極dとをゲートラインLgに沿う方向に配置した構造としているが、この実施例のTFTパネルでは、薄膜トランジスタ3のソース電極sとドレイン電極dとを、ゲートラインLgと直交する方向に配置している。

【0032】なお、図1および図3では、薄膜トランジ

スタ3のゲート電極gをi型半導体膜5の面積より若干大きく形成しているが、ゲート電極gの面積は、i型半導体膜5と同じにしてもよいし、また、i型半導体膜5のチャンネル領域より小さくならない範囲でi型半導体膜5より小さくしてもよい。

【0033】また、上記薄膜トランジスタ3のゲート絶縁膜4は、従来のTFTパネルと同様に、ゲートラインLgも覆って基板1のほぼ全面に形成されており、各画素電極2R、2G、2Bは前記ゲート絶縁膜4の上に形成され、その縁部において前記薄膜トランジスタ3のソ

ース電極sに接続されている。
【0034】次に、上記データラインLdの配線状態を、赤色画素を表示するための画素電極列に対応するデータラインについて説明すると、このデータラインLdは、その横行ライン部Ldxの長さを短くしてデータラインLdの引き回しを簡単にするために、ジグザグに配列している各画素電極2Rのうち、左方向にずれている画素電極2Rの右側縁と、右方向にずれている画素電極2Rの左側縁とに沿わせて蛇行配線されている。すなわち、このデータラインLdは、列方向に沿う縦行ライン部Ldyと、この縦行ライン部Ldyから行方向に沿って屈曲する横行ライン部Ldxとが交互に連続するように配線されている。

【0035】このようにデータラインLdを配線すると、左方向にずれている画素電極2Rに対応する薄膜トランジスタ3に対するデータラインLdの位置と、右方向にずれている画素電極2Rに対応する薄膜トランジスタ3に対するデータラインLdの位置とが互いに逆になってしまうが、このTFTパネルでは、突出部Ldaを形成して、上記薄膜トランジスタ3をソース電極sとド

レイン電極dとがゲートラインLgと直交する方向に並ぶように配置しているため、各列の薄膜トランジスタ3のソース、ドレイン電極s、dの位置関係が一様に揃えられ、従来のTFTパネルのように互いに逆になることはない。

【0036】上記データラインLdの配線状態は、緑色画素を表示するための画素電極列に対応するデータラインおよび青色画素を表示するための画素電極列に対応するデータラインにおいても同様である。

【0037】また、上記データラインLdには、各薄膜トランジスタ3にそれぞれ対応させて突出部Ldaが一体に形成されており、このデータラインLdは、前記突出部Ldaにおいて薄膜トランジスタ3のドレイン電極dに接続されている。

【0038】なお、データラインLdは、図2に示すように、上記ゲート絶縁膜4の上に形成したSi_n等からなる層間絶縁膜7（図1では省略している）の上に配線されている。この層間絶縁膜7は、データラインLdの配線部だけでなく、図3に示したように薄膜トランジスタ3も覆って形成されており、データラインLdの突出

部Ldaは、前記層間絶縁膜7に設けたコンタクト孔8において薄膜トランジスタ3のドレイン電極dに接続されている。

【0039】そして、上記データラインLdの行方向に沿って屈曲する横行ライン部Ldxは、ゲートラインLgの真上にこのゲートラインLgと平行に配線されており、このデータラインLdの横行ライン部LdxとゲートラインLgとの間は、上記ゲート絶縁膜4と層間絶縁膜7との二層の絶縁膜によって絶縁されている。

【0040】すなわち、上記TFTパネルは、同じデータラインLdに対応する各画素電極2R、2G、2Bを、各行ごとに一方向と他方向とに交互にずらしてジグザグに配列し、前記データラインLdを、ジグザグに配列している画素電極列に対応させて蛇行配線するとともに、このデータラインLdの横行ライン部Ldxを、ゲートラインLgと上下に対向させて配線したものである。

【0041】このTFTパネルにおいては、蛇行配線するデータラインLdの横行ライン部LdxをゲートラインLgと上下に対向させて配線しているため、各画素電極2R、2G、2Bの行間に確保する配線スペースは1つの配線分でよい。なお、各画素電極2R、2G、2Bの列間には、従来のTFTパネルと同様に、データラインLdの縦行ライン部Ldyの配線スペースを確保すればよい。

【0042】したがって、上記TFTパネルによれば、同じデータラインLdに対応する各画素電極2R、2G、2Bをジグザグに配列し、前記データラインLdをジグザグに配列している画素電極列に対応させて蛇行配線したものでありながら、画素電極2R、2G、2Bの面積を大きくして、液晶表示素子の開口率を向上させることができる。

【0043】ただし、このTFTパネルでは、データラインLdの横行ライン部LdxとゲートラインLgとがゲート絶縁膜4と層間絶縁膜7とを介して上下に対向しているために、データラインLdの横行ライン部LdxとゲートラインLgとの間に寄生容量が形成され、この寄生容量が、ゲートラインLgおよびデータラインLdでの電圧降下の要因となる。

【0044】なお、図4に示した従来のTFTパネルにおいても、データラインLdの縦行ライン部LdyとゲートラインLgとの交差部に上記寄生容量が形成されるが、上記実施例のTFTパネルでは、データラインLdの横行ライン部LdxがゲートラインLgと対向しているため、その間に形成される寄生容量の値は従来のTFTパネルより大きい。

【0045】そして、ゲートラインLgに印加されるゲート信号の電圧は十分高いため、ゲートラインLgでの電圧降下はほとんど問題にならないが、データラインLdに印加されるデータ信号は画像データに応じた電圧の

信号であるため、データラインLdにおいてデータ信号の電圧が降下すると、データラインLdの末端側（データ信号の印加側に対して反対側）に近くなるほど、データラインLdから薄膜トランジスタ3を介して画素電極2R、2G、2Bに供給されるデータ信号の電圧が低くなり、液晶表示素子に表示むらが発生する。

【0046】しかし、上記実施例のTFTパネルにおいても、データラインLdをAl（アルミニウム）やAl系合金等の低抵抗金属で形成すれば、データラインLdでの電圧降下を小さくして、液晶表示素子に表示むらのない良好な表示を行なわせることができる。

【0047】すなわち、上記データラインLdの全長における電圧降下量は、このデータラインLdの抵抗値と、データラインLd上に点在する上記寄生容量の合計値との積によって決まるが、データラインLdをAlやAl系合金等の低抵抗金属で形成すれば、上記寄生容量の値がある程度大きくても、データラインLdでの電圧降下量を小さくすることができる（理論上は、データラインLdの抵抗値が0であれば、寄生容量の値にかかわらず、データラインLdでの電圧降下量が0になる）。

【0048】また、上記TFTパネルは、特に、中画面や小画面の液晶表示素子に適しており、中画面や小画面の液晶表示素子の場合には、データラインLdの長さが短いために、このデータラインLdをAlやAl系合金以外の金属で形成してもその抵抗値は小さいし、また画素数が少ないために、データラインLd上に点在する上記寄生容量の数も少ないから、データラインLdでの電圧降下は小さく、したがって、液晶表示素子に表示むらが発生することはない。

【0049】なお、上記実施例では、薄膜トランジスタ3を、ソース電極sとドレイン電極dとをゲートラインLgと直交する方向に配置した構造としたが、この薄膜トランジスタ3は、図4に示した従来のTFTパネルの薄膜トランジスタ3と同様に、ソース電極sとドレイン電極dとをゲートラインLgに沿う方向に配置した構造としてもよい。

【0050】また、上記実施例のTFTパネルは、赤・緑・青の画素をモザイク状の配列パターンで表示する方式のアクティブマトリックス液晶表示素子に用いられるものであるが、本発明は、同じデータラインに対応する各画素電極を各行ごとに一方向と他方向とに交互にずら

してジグザグに配列し、前記データラインをジグザグに配列している画素電極列に対応させて蛇行配線しているものであれば、他の方式のアクティブマトリックス液晶表示素子に用いるTFTパネルにも適用することができる。

【0051】

【発明の効果】本発明のTFTパネルによれば、薄膜トランジスタをソース電極とドレイン電極の並設方向が列方向に沿うように配置すると共に、データラインに行方向に沿って突出する突出部をこのデータラインに接続される各画素電極に対応させて形成し、この突出部を介して対応する画素電極に配設された各薄膜トランジスタのドレイン電極とデータラインとを接続したから、全ての薄膜トランジスタのドレイン電極dとソース電極sの配置を一様に揃えることができ、これにより、製造工程においてアライメントずれが生じても、それによる薄膜トランジスタの特性変動が全ての薄膜トランジスタで一定となり、同じ表示色で階調が異なるような表示不良の発生が防止され、良質なカラー表示を常に容易に得ることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例を示すTFTパネルの一部分の平面図。

【図2】図1のII-II線に沿う拡大断面図。

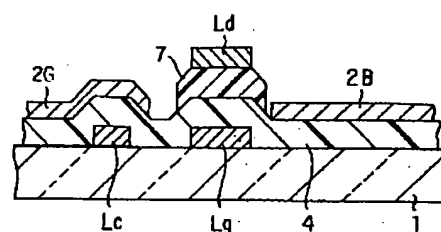
【図3】図1のIII-III線に沿う拡大断面図。

【図4】従来のTFTパネルの一部分の平面図。

【符号の説明】

- 1…基板
- 2R、2G、2B…画素電極
- 3…薄膜トランジスタ
- g…ゲート電極
- 4…ゲート絶縁膜
- 5…i型半導体層
- 6…n型半導体層
- s…ソース電極
- d…ドレイン電極
- Lg…ゲートライン
- Lc…キャパシタライン
- 7…層間絶縁膜
- Ld…データライン
- Ldx…横行ライン部

【図 2】



【図4】

